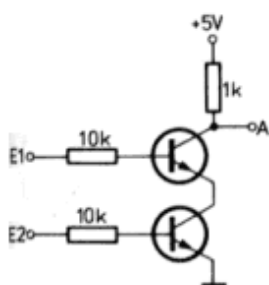


WSTĘP

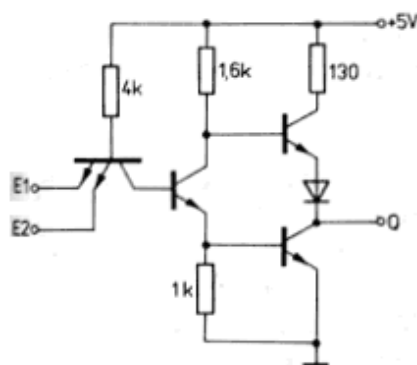
O liczbie elementów użytych do budowy jakiegoś urządzenia elektronicznego, a więc i o możliwości obniżenia jego ceny, decyduje dzisiaj liczba zastosowanych w nim układów scalonych. Najstarszą rodziną układów scalonych są układy TTL. Skrót ten pochodzi od angielskiej nazwy *Transistor-Transistor-Logic* i oznacza technologię, w której do budowy pojedynczego obwodu logicznego stosuje się wiele tranzystorów scalonych w jeden układ.

Obwody arytmetyczne i logiczne, a także kompletne mikroprocesory i układy pamięci zbudowane są z pewnych elementarnych obwodów zwanych bramkami logicznymi. Są to obwody, które wytwarzają określony sygnał wyjściowy z jednego lub wielu sygnałów wejściowych. Dla uproszczenia dopuszcza się tylko dwa poziomy sygnałów na wejściu i na wyjściu, oznaczane cyframi 0 i 1. Sygnał 0 oznacza napięcie z przedziału 0...0,8 V, a 1 odpowiada napięciu o wartości 2,4...5 V. Wszelkie inne wartości napięć są zabronione i nie definiowane w technologii TTL. Oczywiście, 1 i 0 mogą oznaczać cyfry liczby dwójkowej, co nie jest pozbawione sensu. Rachunki z liczbami 0 i 1 nazywają się algebrą Boole'a¹

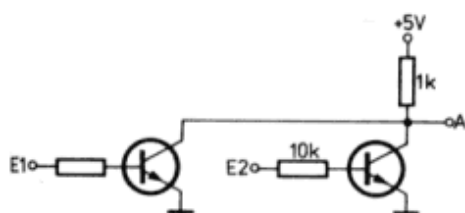
Budowa bramki NAND TTL, ch-ka przełączania, schemat wewnętrzny, działanie²



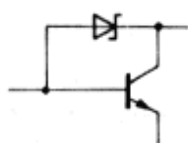
Rys. 2
Bramka NAND
zbudowana z dwóch
tranzystorów. Wyjście
A przechodzi w stan
niski, jeśli na wejściach
E1 i E2 jest stan wysoki



Rys. 7 Schemat ideowy
standardowej bramki TTL (NAND,
seria 74)



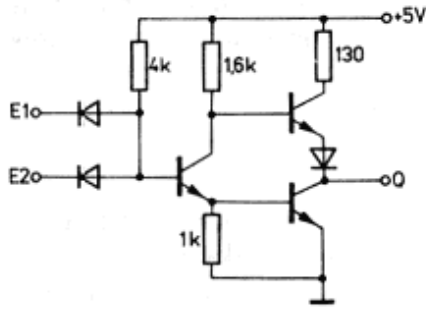
Rys. 3
Bramka NOR z dwóch tranzystorów.
Punkt A przejdzie w stan niski tylko
wtedy, gdy E1 lub E2 (albo obydwa
jednocześnie) będą w stanie wysokim



Rys. 9 Niskie napięcie nasycenia diod Schottky'ego
zapobiega w bramkach TTL-S i TTL-LS przesterowaniu i
dłuższemu przewodzeniu tranzystora przełączającego

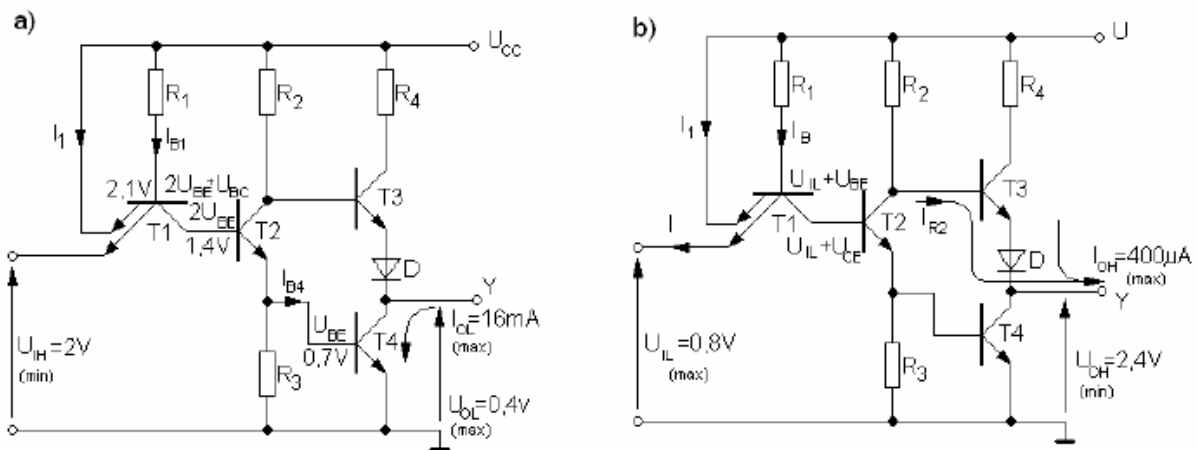
1 http://stud.wsi.edu.pl/~sikrolb/artykuly-uklady_logiczne.html

2 www.ely.pg.gda.pl/krism/dydaktyka/PTC/ptc1.pdf

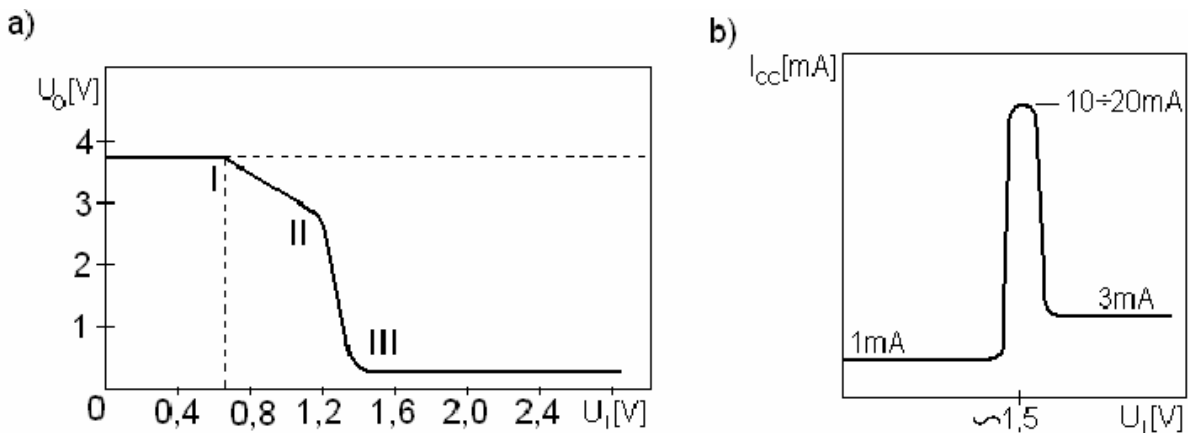


Rys. 10 Wieloemiterowy tranzystor wejściowy w bramce NAND można przedstawić jako dwie diody

Stan wysoki (1) na wszystkich wejściach powoduje wystąpienie stanu niskiego (0) na wyjściu. Stan niski (0) na jednym lub wielu wejściach wywołuje stan wysoki (1) na wyjściu. W stanie wysokim (1) na wszystkich wejściach złącza emiter – baza tranzystora T1 są spolaryzowane zaporowo, prąd bazy tego tranzystora płynie przez złącza baza – kolektor do bazy tranzystora T2 powodując jego nasycenie. W tym stanie tranzystor T3 jest odcięty, a tranzystor T4 jest w stanie przewodzenia z nasyceniem. Na wyjściu pojawia się stan niski (0) (Rys.2.2.a). Jeżeli jedno lub więcej wejść znajduje się w stanie niskim (0), to tranzystor T1 przewodzi z nasyceniem, a tranzystor T2 jest odcięty. Tranzystor T3 pracuje jako wtórnik emiterowy przy jednoczesnym odcięciu tranzystora T4, a na wyjściu pojawia się stan wysoki (1) (Rys.2.2.b).

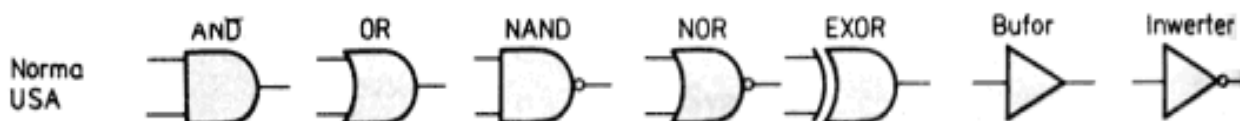


Rys. 2.2. Rozkład napięć i rozptyw prądów w bramce NAND
a) dla stanu 0 na wyjściu, b) dla stanu 1 na wyjściu



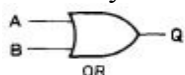
Rys. 2.7. Typowe charakterystyki bramki NAND wg [1]
a) charakterystyka przełączania $U_0 = f(U_1)$, b) charakterystyka poboru prądu $I_{cc} = f(U_1)$

Bramki logiczne, tablice prawdy, wzory, symbole, działanie³



Bramka OR (dla bramki NOR w tablicy przy wyjściu tam gdzie „0” to „1”)

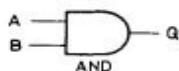
Wyjście bramki OR (czyli LUB) jest w stanie wysokim, jeżeli któreś z wejść (lub oba) jest w stanie wysokim. Można to wyrazić za pomocą "tablicy prawdy", pokazanej na rysunku 8.2. Narysowana bramka to 2-wejściowa bramka OR. W przypadku ogólnym bramki mogą mieć dowolną liczbę wejść, ale typowy układ scalony zawiera zwykle cztery bramki 2-wejściowe, trzy bramki 3-wejściowe lub dwie bramki 4-wejściowe. Na przykład wyjście 4-wejściowej bramki OR będzie w stanie wysokim, jeżeli przynajmniej jedno jej wejście będzie w stanie wysokim.



| Wejścia | | Wyjście |
|---------|---|---------|
| A | B | Q |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Bramka AND (dla bramki NAND jw.)

Wyjście bramki AND (czyli I) jest w stanie wysokim tylko wtedy, gdy oba wejścia są w stanie wysokim. Symbol logiczny tej bramki i tablicę prawdy pokazano na rysunku 8.3. Podobnie jak w przypadku bramek OR, dostępne są bramki AND 3- i 4-wejściowe (czasem o większej liczbie wejść). Na przykład 8-wejściowa bramka AND będzie miała wyjście w stanie wysokim tylko wtedy, gdy wszystkie wejścia będą w stanie wysokim.



| Wejścia | | Wyjście |
|---------|---|---------|
| A | B | Q |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

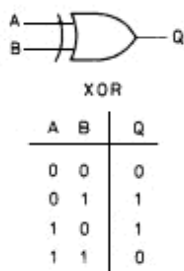
Inwerter (funkcja NOT).

Często potrzebujemy zmienić stan logiczny na przeciwny (nazywa się to również negowaniem stanu logicznego). Jest to funkcja inwertera, "bramki" o jednym wejściu (rys. 8.4). Boole'owskim odpowiednikiem symbolu NOT (negacji) jest kreska pozioma stawiana nad negowanym elementem, a czasem apostrof ('). "NIE A" jest zapisywane jako A'. Dla wygody składających teksty na oznaczenie negacji często zamiast kreski stosuje się symbole /, *, -, '! Tak więc, "NIE A" może być zapisane również następująco: A', -A, *A, /A, A*, A/. W danej publikacji wybiera się zazwyczaj jeden z wymienionych sposobów negacji i konsekwentnie się go stosuje w całym tekście. W naszej używamy notacji A'.



| A | Q |
|---|---|
| 0 | 1 |
| 1 | 0 |

Exclusive-OR Exclusive-OR (XOR, czyli WYŁĄCZNE LUB) jest ciekawą funkcją, chociaż mniej podstawową niż AND i OR. Wyjście bramki XOR jest w stanie wysokim, jeżeli jedno albo drugie wejście jest w stanie wysokim (jest to zawsze funkcja dwóch zmiennych). Mówiąc inaczej, wyjście jest w stanie wysokim, jeżeli stany wejść są różne. Bramka XOR realizuje dodawanie bitów modulo-2.



Realizacja funkcji logicznych na bramkach NAND i minimalizacja funkcji logicznych odbywa się wg zasad algebry boola, pamiętając, że AND to koniunkcja OR to alternatywa. Staramy zawsze używać się jednego typu bramek!

Układy TTL, parametry układów TTL

Tablica 2.1. Parametry techniczne układów TTL serii standardowej [1]

| Parametr | Wartość |
|---|-------------|
| Napięcie w stanie 0 na wejściu układu U_{IL} [V] | -0,5 ÷ +0,8 |
| Napięcie w stanie 0 na wyjściu układu U_{OL} [V] | 0 ÷ 0,4 |
| Napięcie w stanie 1 na wejściu układu U_{IH} [V] | 2 ÷ 5,5 |
| Napięcie w stanie 1 na wyjściu układu U_{OH} [V] | 2,4 ÷ 5 |
| Napięcie zasilania U_{cc} [V] | 4,75 ÷ 5,25 |
| Średni czas propagacji t_p sygnału przez bramkę ($N=10$, $T_{amb}=25^{\circ}C$) [ns] | 10 |
| Maksymalna częstotliwość przełączania (przerzutników) f_{max} ($T_{amb}=25^{\circ}C$) [MHz] | 20 |
| Typowa moc rozproszenia P_s bramki [mW] | 10 |
| Typowa moc rozproszenia P_s przerzutnika [mW] | 40 |
| Temperatura pracy t_{amb} [$^{\circ}C$] | 0 ÷ 70 |
| Obciążalność N | 10 |
| Typowa odporność układu na działanie zakłóceń [V] | 1 |
| Minimalna odporność układu na działanie zakłóceń [V] | 0,4 |

Bramki opisuje się parametrami statycznymi i dynamicznymi, które zostały zdefiniowane poniżej.

Parametry statyczne:

- U_{cc} — napięcie zasilania,
- U_{IH} — napięcie wejściowe w stanie 1,
- U_{IL} — napięcie wejściowe w stanie 0,
- U_{OH} — napięcie wyjściowe w stanie 1,
- U_{OL} — napięcie wyjściowe w stanie 0,
- I_{IH} — prąd wejściowy w stanie 1,
- I_{IL} — prąd wejściowy w stanie 0,

- I_{OH} — prąd wyjściowy w stanie 1,
- I_{OL} — prąd wyjściowy w stanie 0,
- I_{OS} — wyjściowy prąd zwarciaowy,
- I_{CCL} — prąd zasilania w stanie 0 na wyjściu,
- I_{CCH} — prąd zasilania w stanie 1 na wyjściu,
- N — obciążalność,
- P_S — straty mocy.

Parametry dynamiczne:

t_{pLH} - czas propagacji do stanu 1 na wyjściu; jest to czas mierzony od chwili osiągnięcia przez zbocze wyzwalające impulsu wejściowego wartości 1,5 V do chwili, kiedy wartość sygnału wyjściowego pod wpływem sygnału (zbocza) wyzwalającego zmieni się od typowej wartości napięcia wyjściowego układu będącego w stanie 0 do wartości 1,5 V (rys. 2.3),

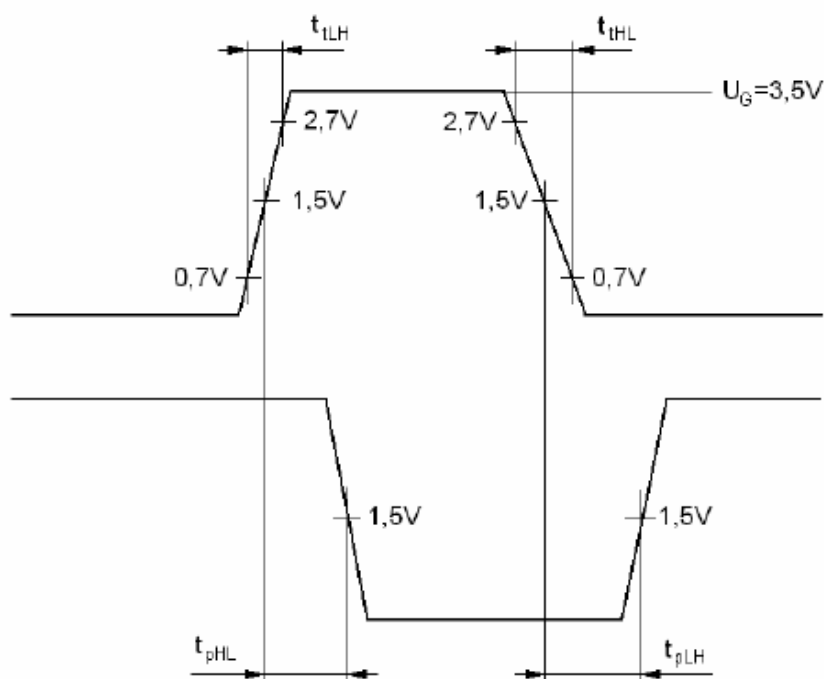
t_{pHL} - czas propagacji do stanu 0 na wyjściu; jest to czas mierzony od chwili osiągnięcia przez zbocze wyzwalające impulsu wejściowego wartości 1,5 V do chwili, kiedy wartość sygnału wyjściowego pod wpływem sygnału (zbocza) wyzwalającego zmieni się od typowej wartości odpowiadającej stanowi 1 do wartości 1,5 V,

t_p - średni czas propagacji — jest to opóźnienie impulsu wyjściowego w stosunku do impulsu wejściowego. Czas ten określa wzór

$$t_p = \frac{t_{pLH} + t_{pHL}}{2}$$

t_{tLH} - czas narastania impulsu zegarowego,

t_{tHL} - czas opadania impulsu zegarowego.



Rys. 2.3. Czasy propagacji oraz czasy narastania i opadania zboczy sygnału