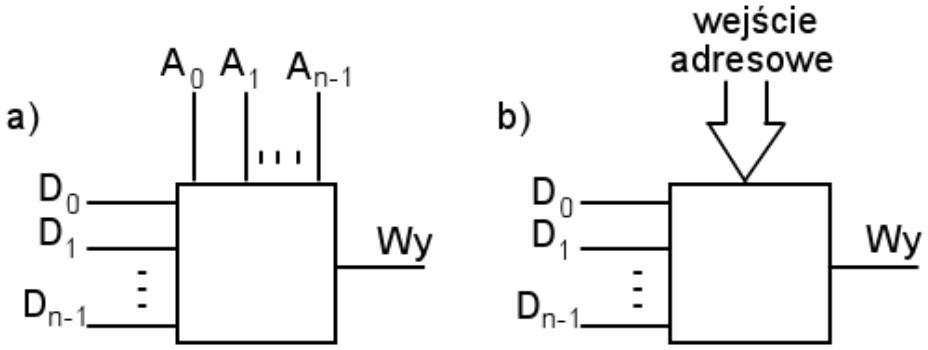
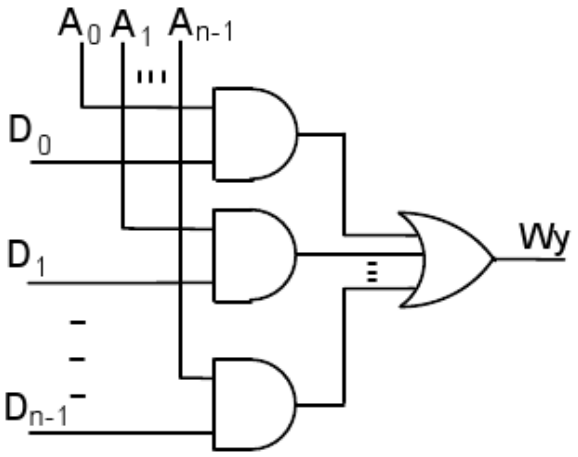
Mux

Multiplekserem nazywamy układ logiczny umożliwiający przesianie (w postaci prostej lub zanegowanej) na wyjście tego z sygnałów podawanych na wejścia informacyjne, który jest doprowadzony do wejścia o numerze określonym przez stan wejść adresowych. W technologii układów scalonych TTL są wytwarzane multipleksery, których numery wejść są przedstawione w naturalnym kodzie dwójkowym. Wówczas liczba wejść informacyjnych (N) jest związana z liczbą wejść adresowych (M) zależnością N = 2M. Aktualnie są produkowane układy multiplekserów o M = l, 2, 3 i 4 wejściach adresowych i odpowiednio o N = 21, 22, 23 i 24 wejściach informacyjnych. Multipleksery te mają wyjścia dwustanowe (stan wysoki, stan niski) lub wyjścia trójstanowe (stan wysoki, stan niski, stan wysokiej impedancji). Multipleksery z wyjściem dwustanowym mają dodatkowe wejście sterujące, zwane wejściem strobującym lub zezwalającym (ang. strobe, enable). Jeśli wejście to jest w stanie niskim, to multiplekser działa tak jak podano w jego określeniu, natomiast jeśli jest w stanie wysokim, to niezależnie od stanu wejść informacyjnych i adresowych, stan wyjścia jest stały i równy 0 (wyjście pozycyjne) lub l (wyjście negacyjne). W przypadku multiplekserów z wyjściem trójstanowym, wejście sterujące najczęściej łączy funkcje wejścia strobującego ze sterowaniem wyjścia.



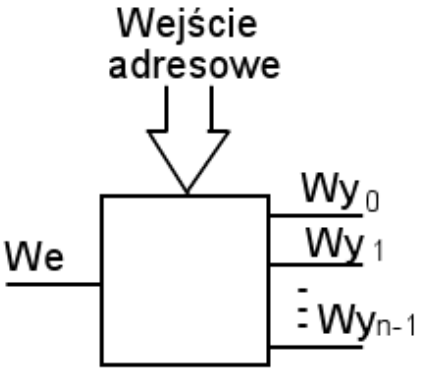
Rys. 1. Schematy ogólne multipleksera.



Rys. 2. Schemat szczegółowy multipleksera.

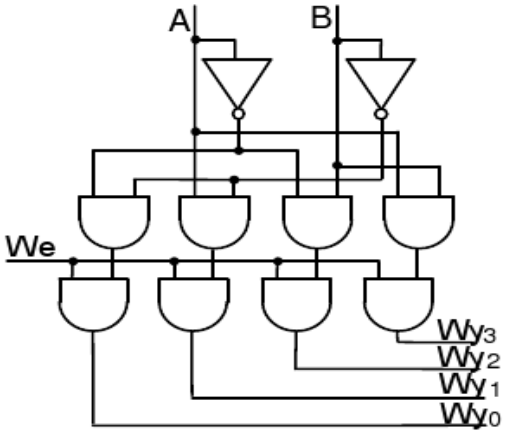
Demux

Możliwe jest zbudowanie układu działającego odwrotnie, niż układ już opisany. Układ przenoszący sygnał z wejścia na jedno wybrane wyjście spośród wielu wyjść nazywa się demultiplekserem. W układzie takim (rys. 9) sygnał cyfrowy jest przesyłany z wejścia na jedno wybrane wyjście spośród wielu wyjść. Na pozostałych wyjściach istnieje ustalony stan logiczny, np. stan L.

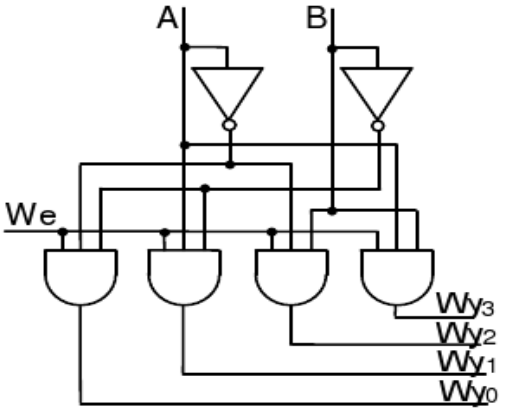


Rys. 9. Schemat ogólny demultipleksera.

Aby można było numer wybranego wyjścia podawać w kodzie binarnym, należy także i tutaj zastosować dekoder kodu binarnego na kod 1 z n. Rysunek 10 przedstawia schemat takiego układu, posiadającego dwuprzewodowe wejście dla kodu binarnego, jedno wejście informacyjne oraz cztery wyjścia. Dwa elementy zaprzeczenia logicznego wraz z górnym szeregiem dwuwejściowych bramek AND tworzą znany nam już dekoder kodu binarnego na kod 1 z 4. W szeregu dwuwejściowych bramek AND sygnał wejściowy jest poddawany „bramkowaniu" sygnałami pochodzącymi z dekodera. Rysunek 11 przedstawia układ równoważny układowi przedstawionemu na rys. 10, zawierający tylko jeden szereg bramek AND.



Rys. 10. Schemat szczegółowy cztero-wyjściowego demultipleksera.



Rys. 11. Układ równoważny układowi z rys. 10.

1. multiplekser 74153

Układ '153 (rys. 2.3) jest multiplekserem podwójnym, z których każdy ma:
- 4 wejścia informacyjne,
- wejście strobujące,
- wyjście
- 2 wejścia adresowe wspólne dla obu multiplekserów.

http://www.datasheetcatalog.com/datasheets_pdf/7/4/1/5/74153.shtml

2. demultiplekser 74155
http://www.datasheetcatalog.com/datasheets_pdf/S/N/7/4/SN74155N.shtml

System transmisji szeregowej informacji

Transmisja szeregowa - rodzaj cyfrowej transmisji danych w którym dane są przesyłane jednym przewodem (albo jedną parą), i poszczególne bity informacji są przesyłane kolejno. Dawniej pod tą nazwą rozumiano t.s. opracowaną do komunikacji komputera z modemem (standard RS-232), jednakże w ostatnich latach szeregowy sposób transmisji danych jest coraz szerzej stosowany (np. PCIe, SSA, SATA, SAS, FC, ESCON, FICON).

Transmisja szeregowa asynchroniczna (RS-232)

Dane są poprzedzone bitem startu (stan logiczny: 0), który jest sygnałem rozpoczęcia transmisji; po nim są przesyłane bity danych, od najmłodszego do najstarszego (możliwa ilość od 5 do 8); potem bit parzystości (jeśli jest używany); i po nim następuje odstęp przed następnym znakiem (stan logiczny: 1) - wymagana część tego odstępu nazywa się bitem stopu, może on być dłuższy - nie ma ograniczenia, natomiast stan logiczny 0 w czasie bitu stopu jest rozpoznawany jako błąd ramki (ang. framing error). Każdy znak jest przesyłany i interpretowany niezależnie od innych. Układ odbierający po wykryciu stanu logicznego 0 odmierza czas równy 1/2 czasu przesyłania bitu, i sprawdza, czy nadal jest stan 0 (jeśli nie, jest to traktowane jako błąd), następnie odmierza odcinki czasu równe czasowi 1 bitu i odczytuje stan linii, aby dostać wartości tych bitów. Do tego trybu transmisji wystarcza sam sygnał danych. Podawanie stanu 0 przez dłuższy czas jest sygnałem przerwy (ang. break).

Transmisja szeregowa synchroniczna (RS-232)

Dane są przesyłane bez dodatkowych bitów, ale są poprzedzone informacją wstępną, pozwalającą wykryć ich początek - zwykle co najmniej trzema bajtami SYN (kod 16h, tak dobrany, by łatwo dało się wykryć jego przesunięcie - tu nie ma sygnału granicy bajtów, jak bity startu/stopu), po których następuje bajt rozpoczynający ramkę (np. SOH - start of header = początek nagłówka), i zakończone sekwencją oznaczającą koniec ramki (np. znakiem ETX - end of text = koniec tekstu; jeśli taki znak ma wystąpić w przesyłanych danych, to jest poprzedzony znakiem wyłączającym jego interpretację jako końca danych); do sprawdzenia poprawności transmisji ramka zwykle zawiera sumę kontrolną, np. CRC. Cała ramka jest traktowana jako całość - jeśli jest w niej błąd, jest odrzucana w całości. Ramka może zawierać - oprócz danych - dodatkowe informacje sterujące, np. dokąd są adresowane (ekran, drukarka,...); koniec tych dodatkowych informacji i początek danych oznacza znak STX (start of text = początek tekstu). Do tego trybu transmisji musi być przesyłany - oprócz danych - sygnał zegarowy, pokazujący kiedy kończy się jeden bit, a zaczyna następny. Sygnał ten jest podawany przez modem, niezależnie od kierunku transmisji danych.