

Układ odejmujący dwie liczby dwubitowe. Młodsze bity na MUX 4/1 a starsze na MUX 8/1.

Na początku tworzymy ogólną tabelę prawdy dla pełnego sumatora:

WEJŚCIA			WYJŚCIA	
A_n	B_n	P_n	P_{n+1}	S_n
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Następnie minimalizujemy tę tabelę by otrzymać funkcje jakie będą na wejściach multiplexera 4/1.

Minimalizacja P_{n+1}	Minimalizacja S_n
„0”	P_n
P_n	$\overline{P_n}$
P_n	$\overline{P_n}$
„1”	P_n

Minimalizację przeprowadziliśmy dwójkami, dla każdej pary **A** i **B**. Patrząc w tabeli na miejsca gdzie A i B mają wartość 00, w kolumnie P_{n+1} pojawiają się wartości 0 0, w tym momencie na wejście AB = „00” multiplexera 4/1 podajemy „0”. Idąc dalej dla pary 01 w kolumnie P_{n+1} pojawiają się wartości 0 1, oznacza to, że na wejście „01” multiplexera 4/1 podajemy P_n . Kolejno dla pary AB, gdzie występują wartości 10 mamy taką samą sytuację, więc wstawiamy P_n . Na końcu tabeli dla AB 11, wartości P_{n+1} przyjmują 11, zatem podajemy na wejście „11” multiplexera 4/1 wartość „1”.

Analogicznie minimalizujemy tę tabelę dla kolumny S_n . Należy jednak uwzględnić, że jeżeli wystąpią wartości w kolumnie S_n kolejno 1 0, to należy podstawić negację P_n .

Należy uwzględnić, że na schematach negujemy wejście B, a na wejście przeniesienia P_0 .

